

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 4 月 2 3 日
Date of Application:

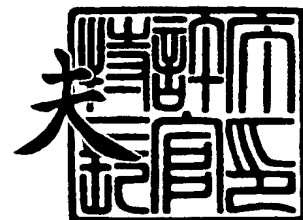
出 願 番 号 特 願 2 0 0 3 - 1 1 8 7 3 1
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 1 1 8 7 3 1]

出 願 人 株式会社半導体エネルギー研究所
Applicant(s):

2 0 0 4 年 2 月 4 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 4 - 3 0 0 6 1 2 7

【書類名】 特許願

【整理番号】 P007105

【提出日】 平成15年 4月23日

【あて先】 特許庁長官 太田 信一郎 殿

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 石川 明

【特許出願人】

【識別番号】 000153878

【氏名又は名称】 株式会社半導体エネルギー研究所

【代表者】 山崎 舜平

【手数料の表示】

【予納台帳番号】 002543

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書**【発明の名称】** 半導体素子、及び半導体装置並びにその作製方法**【特許請求の範囲】****【請求項 1】**

半導体領域上にゲート絶縁膜、ゲート電極、及び前記ゲート電極を覆う絶縁膜を形成し、前記半導体領域の一部を露出した後導電膜を形成し、
前記導電膜上にレジストを塗布した後レジストマスクを形成し、
前記レジストマスクを用いて前記導電膜の一部をエッチングし、
前記エッチングされた導電膜の一部又は前記エッチングされた導電膜及び前記半導体領域の一部をエッチングすることを特徴とする半導体素子の作製方法。

【請求項 2】

半導体領域上にゲート絶縁膜、ゲート電極、及び前記ゲート電極を覆う絶縁膜を形成し、前記半導体領域の一部を露出した後導電膜を形成し、
前記導電膜の一部又は前記エッチングされた導電膜及び前記半導体領域の一部をエッチングし、
前記導電膜上にレジストを塗布した後レジストマスクを形成し、
前記レジストマスクを用いて前記導電膜の一部をエッチングすることを特徴とする半導体素子の作製方法。

【請求項 3】

半導体領域上に第 1 の絶縁膜、第 1 の導電膜、及び第 2 の絶縁膜を形成し、
前記第 2 の絶縁膜をエッチングしてハードマスクを形成し、
前記ハードマスクをマスクとして第 1 の導電膜をエッチングしてゲート電極を形成した後、第 3 の絶縁膜を形成し、
前記第 3 の絶縁膜をエッチングして、サイドウォールを形成し、
前記サイドウォール及び前記ハードマスクをマスクとして前記第 1 の絶縁膜をエッチングしてゲート絶縁膜を形成すると共に前記半導体領域の一部を露出した後第 2 の導電膜を形成し、
前記第 2 の導電膜上にレジストを塗布した後レジストマスクを形成し、
前記レジストマスクをマスクとして前記第 2 の導電膜の一部をエッチングし、

前記エッチングされた第2の導電膜の一部又は前記エッチングされた第2の導電膜及び前記半導体領域の一部をエッチングしてソース電極及びドレイン電極を形成することを特徴とする半導体素子の作製方法。

【請求項4】

半導体領域上に第1の絶縁膜、第1の導電膜、及び第2の絶縁膜を形成し、
前記第2の絶縁膜をエッチングしてハードマスクを形成し、
前記ハードマスクをマスクとして第1の導電膜をエッチングしてゲート電極を形成した後、第3の絶縁膜を形成し、
前記第3の絶縁膜をエッチングして、サイドウォールを形成し、
前記サイドウォール及び前記ハードマスクをマスクとして前記第1の絶縁膜をエッチングしてゲート絶縁膜を形成すると共に前記半導体領域の一部を露出した後第2の導電膜を形成し、
前記第2の導電膜の一部又は前記第2の導電膜及び前記半導体領域の一部をエッチングし、
前記エッチングされた第2の導電膜上にレジストを塗布した後レジストマスクを形成し、
前記レジストマスクをマスクとして前記第2の導電膜の一部をエッチングしてソース電極及びドレイン電極を形成することを特徴とする半導体素子の作製方法。

【請求項5】

請求項1乃至請求項4のいずれか一項において、前記レジストマスクは、前記レジスト全面を露光した後現像して形成することを特徴とする半導体素子の作製方法。

【請求項6】

請求項1乃至請求項4のいずれか一項において、前記レジストマスクは、前記レジスト全面をエッチングして前記導電膜又は前記第2の導電膜の一部を露出させて形成することを特徴とする半導体素子の作製方法。

【請求項7】

請求項1乃至請求項6のいずれか一項において、前記半導体領域は、半導体基

板又は半導体薄膜であることを特徴とする半導体素子の作製方法。

【請求項 8】

請求項 7 において、前記半導体基板は単結晶シリコン基板または化合物半導体基板であることを特徴とする半導体素子の作製方法。

【請求項 9】

請求項 7 において、前記半導体薄膜は、結晶性シリコン膜であることを特徴とする半導体素子の作製方法。

【請求項 1 0】

ソース領域、ドレイン領域、及びチャネル形成領域を有する半導体領域と、ゲート電極と、ゲート絶縁膜と、半導体領域とソース電極及びドレイン電極とを接続するコンタクト部と、ゲート電極を覆う絶縁膜とを有し、

前記チャネル形成領域と前記コンタクト部とは近接していることを特徴とする半導体素子。

【請求項 1 1】

ソース領域、ドレイン領域、及びチャネル形成領域を有する半導体領域と、ゲート電極と、ゲート絶縁膜と、半導体領域とソース電極及びドレイン電極とを接続するコンタクト部と、ゲート電極を覆う絶縁膜とを有し、

前記ゲート電極を覆う絶縁膜を介して前記ゲート電極と前記ソース電極及びドレイン電極とが形成されていることを特徴とする半導体素子。

【請求項 1 2】

請求項 1 1 または請求項 1 2 において、前記ゲート電極を覆う絶縁膜は、前記ゲート電極上に形成される絶縁膜と、前記ゲート電極の側面に形成される絶縁膜であることを特徴とする半導体素子。

【請求項 1 3】

請求項 1 2 において、前記ゲート電極上に形成される絶縁膜はハードマスクであり、前記ゲート電極の側面に形成される絶縁膜はサイドウォールであることを特徴とする半導体素子。

【請求項 1 4】

請求項 1 0 乃至請求項 1 3 のいずれか一項において、前記半導体領域は、半導

体基板又は半導体薄膜であることを特徴とする半導体素子。

【請求項 15】

請求項 14 において、前記半導体基板は単結晶シリコン基板または化合物半導体基板であることを特徴とする半導体素子。

【請求項 16】

請求項 14 において、前記半導体薄膜は、結晶性シリコン膜であることを特徴とする半導体素子。

【請求項 17】

請求項 1 乃至請求項 9 のいずれか一項の半導体素子の作製方法によって形成される半導体装置の作製方法。

【請求項 18】

請求項 10 乃至請求項 16 のいずれか一項において形成される半導体素子によって構成されることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、微細構造の半導体素子、例えばトランジスタ、特に電界効果型トランジスタ、代表的には MOS (Metal Oxide Semiconductor) トランジスタ (以下、MOSFET と示す。) や薄膜トランジスタ (Thin Film Transistor、以下 TFT と示す。)、及び微細構造の半導体素子で形成される半導体装置を製造する方法に関する。

【0002】

【従来の技術】

近年、半導体装置を含む電気器具 (ビデオカメラ、デジタルカメラ、プロジェクター、パーソナルコンピュータ、モバイルコンピュータ、携帯電話または電子書籍等) の小型化、軽量化、コストの低減に対する要求は高まるばかりである。電気器具を小型化、軽量化しても性能が落ちないことはユーザーにとって当然の要求であり、電気器具には今以上の性能が要求され続ける。なお、電気器具の機能や性能を決定するのは、システムを構成する LSI の特性や、電気器具の表示

部における表示装置の特性である。そこで、LSI等の半導体装置に関する微細化、高集積化や、表示装置の高輝度、高精細化に関する研究開発がさかんに進められている。これは、微細度や集積度が向上することにより、ひとつのチップに搭載できる機能が多くなるため、上記したような電気器具の小型化、軽量化、高性能化の要求を満たすためである。また、表示装置においては、画素数が増えることで高精細な画像表示が可能となる。

【0003】

また、例えば、ひとつのチップにMPU、メモリ、I/Oインターフェースなどひとつのシステム（機能回路）を構成する回路がモノリシックに搭載され、高速化、高信頼性、低消費電力化が可能なシステムオンチップが提案されている。また、前述したようなシステム（機能回路）をTFTで形成して、表示パネルと同一基板上に形成（搭載）されたシステムオンパネルが提案されている。これらを実現するために、高集積化の技術開発が続いている。また、前述したようなシステム（機能回路）をTFTで形成するためには、スイッチング速度の早いTFTを作製する必要がある。このため、TFTの半導体領域の結晶性を高めると共に、TFT素子の微細化が益々必要とされており、半導体素子の各部分のサイズ（配線幅、チャネル幅、コンタクトホール直径等）を縮小する試みがなされている。

【0004】

【発明が解決しようとする課題】

ここで、半導体装置の高集積化、微細化を進める上で微細化のレベルを決定すると言っても過言ではないのが、アライメント制御、縮小投影露光による加工技術やエッチング技術である。

【0005】

図7に、半導体素子、代表例としてTFTの作製工程を示す。基板701上に下地膜702を形成し、この上に半導体領域703を形成し、この上にゲート絶縁膜704を形成する。次に、ゲート絶縁膜上に導電膜を形成し、この導電膜をエッチングしてゲート電極705を形成する。この後、ゲート電極705をマスクとして、半導体領域に不純物を添加し、活性化して、ソース領域703a、ド

レイン領域 703b、及びチャネル形成領域 703c を形成する。その上に、絶縁膜を形成して層間絶縁膜 706 とする。次に、レジスト（図示しない）を塗布し、このレジストの露光及び現像を行ってレジストマスク 708a～708c を形成する。次に、レジストマスク 708a～708c をエッチングマスクとしてエッチングを行い、半導体領域のソース領域 703a 及びドレイン領域 703b に接続するコンタクトホール 707a、707b を開口する。

【0006】

次に、図 7（B）に示すように、コンタクトホール 707a、707b にソース電極 709a 及びドレイン電極 709b を形成して T F T を形成する。

【0007】

半導体素子、特に微細な構造を有する半導体素子の作製工程において、レジストマスク 708a～708c を形成する時のフォトマスクのアライメントのずれにより、図 7（C）に示すように、ゲート電極 715 とソース電極 719a 又はドレイン電極 719b とが短絡してしまうという問題がある。これらが短絡すると、その半導体素子は正常に動作しないため、その半導体素子を有する半導体装置の歩留まりが低下する。

【0008】

この問題を防ぐため、コンタクトホールを形成する場合は、レジストマスクを形成する為の露光工程のアライメント精度、縮小投影露光による加工技術の精度、レジストの現像後形成されたレジストマスクの仕上り寸法、コンタクトホールを開口するために層間絶縁膜をエッチングするときの横方向のエッチング量等を精密に制御しなければならず、半導体装置の製造を著しく困難なものとしている。

【0009】

また、図 7（B）に示すように、半導体素子、特に T F T を設計する場合、ソース領域 703a 及びドレイン領域 703b とソース電極 709a 及びドレイン電極 709b との接続を確実にするためのマージン（A）を考慮しており、半導体領域の大きさ（B）は所望の大きさ（B-4A）よりも大きく設計している。このため、T F T 全体の面積が増大し、高集積化の妨げとなっている。

【0010】

以上のことをふまえ、本発明では、アライメント精度、縮小投影露光による加工技術の精度、レジストマスクの仕上り寸法、エッチング技術等による歩留まりを克服し、微細構造の半導体素子、及び微細構造の半導体素子が高集積化された半導体装置を製造する方法を提供する。

【0011】**【課題を解決するための手段】**

本発明は、半導体領域、ゲート電極、ゲート絶縁膜、半導体領域と外部配線とを接続するコンタクト部とを有する半導体素子において、ゲート電極の側面を覆う絶縁膜を形成し、該絶縁膜の外側にコンタクト部を形成し、半導体素子を形成することを特徴とする。

【0012】

すなわち、本発明は、微細な構造を有する半導体素子の作製方法において、ゲート電極を覆う絶縁膜を形成し、ソース領域及びドレイン領域を露出し、その上に導電膜を成膜し、該導電膜上にレジストを塗布して膜厚の異なるレジストを形成し、該レジストの全面を露光及び現像し、又は該レジストの全面をエッチングしてレジストマスクを形成し、該レジストマスクを用いて導電膜をエッチングしてソース電極及びドレイン電極を形成することを特徴とする。

【0013】

本発明により、レジストの下地は凸形状を有し、レジストの膜厚が部分的に異なるため、フォトマスクを用いずともレジストマスクを形成することが可能であるため、フォトマスクのアライメント精度、縮小投影露光による加工技術の精度に関わらず、歩留まりの高く微細構造の半導体素子を形成することができる。

【0014】

また、本発明は、半導体素子のゲート電極を覆う絶縁膜を形成し、該絶縁膜を介してゲート電極とソース電極及びドレイン電極とが形成されていることを特徴とする。

【0015】

また、本発明は、半導体領域、ゲート電極、ゲート絶縁膜、半導体領域と外部

配線とを接続するコンタクト部とを有する半導体素子において、前記半導体領域のチャンネル形成領域と前記コンタクト部とが近接していることを特徴とする。

【0016】

この結果、チャンネル形成領域とコンタクト部との距離が短くなり、これらの間で生じる抵抗が減少し、チャンネル形成領域を移動する電荷が移動しやすくなり、半導体素子としては移動度が向上して高速動作が可能となる。

【0017】

また、本発明は、以下の構成を包含する。

【0018】

本発明は、半導体領域上にゲート絶縁膜、ゲート電極、及び前記ゲート電極を覆う絶縁膜を形成し、前記半導体領域の一部を露出した後導電膜を形成し、前記導電膜上にレジストを塗布した後レジストマスクを形成し、前記レジストマスクを用いて前記導電膜の一部をエッチングし、前記エッチングされた導電膜の一部又は前記エッチングされた導電膜及び前記半導体領域の一部をエッチングすることを特徴とする半導体素子の作製方法である。

【0019】

また、本発明は、半導体領域上にゲート絶縁膜、ゲート電極、及び前記ゲート電極を覆う絶縁膜を形成し、前記半導体領域の一部を露出した後導電膜を形成し、前記導電膜の一部又は前記エッチングされた導電膜及び前記半導体領域の一部をエッチングし、前記導電膜上にレジストを塗布した後レジストマスクを形成し、前記レジストマスクを用いて前記導電膜の一部をエッチングすることを特徴とする半導体素子の作製方法である。

【0020】

また、本発明は、半導体領域上に第1の絶縁膜、第1の導電膜、及び第2の絶縁膜を形成し、前記第2の絶縁膜をエッチングしてハードマスクを形成し、前記ハードマスクをマスクとして第1の導電膜をエッチングしてゲート電極を形成した後、第3の絶縁膜を形成し、前記第3の絶縁膜をエッチングして、サイドウォールを形成し、前記サイドウォール及び前記ハードマスクをマスクとして前記第1の絶縁膜をエッチングしてゲート絶縁膜を形成すると共に前記半導体領域の一

部を露出した後第2の導電膜を形成し、前記第2の導電膜上にレジストを塗布した後レジストマスクを形成し、前記レジストマスクをマスクとして前記第2の導電膜の一部をエッチングし、前記エッチングされた第2の導電膜の一部又は前記エッチングされた第2の導電膜及び前記半導体領域の一部をエッチングしてソース電極及びドレイン電極を形成することを特徴とする半導体素子の作製方法である。

【0021】

また、本発明は、半導体領域上に第1の絶縁膜、第1の導電膜、及び第2の絶縁膜を形成し、前記第2の絶縁膜をエッチングしてハードマスクを形成し、前記ハードマスクをマスクとして第1の導電膜をエッチングしてゲート電極形成した後、第3の絶縁膜を形成し、前記第3の絶縁膜をエッチングして、サイドウォールを形成し、前記サイドウォール及び前記ハードマスクをマスクとして前記第1の絶縁膜をエッチングしてゲート絶縁膜を形成すると共に前記半導体領域の一部を露出した後第2の導電膜を形成し、前記第2の導電膜の一部又は前記第2の導電膜及び前記半導体領域の一部をエッチングし、前記エッチングされた第2の導電膜上にレジストを塗布した後レジストマスクを形成し、前記レジストマスクをマスクとして前記第2の導電膜の一部をエッチングしてソース電極及びドレイン電極を形成することを特徴とする半導体素子の作製方法である。

【0022】

前記レジストマスクは、前記レジスト全面を露光した後現像して形成する。また、前記レジスト全面をエッチングして前記導電膜又は前記第2の導電膜の一部を露出させて形成してもよい。

【0023】

前記半導体領域は、半導体基板又は半導体薄膜である。半導体基板としては、半導体基板は単結晶シリコン基板または化合物半導体基板が挙げられる。また、半導体薄膜としては、結晶性シリコン膜が代表例として挙げられる。

【0024】

本発明は、ソース領域、ドレイン領域、及びチャネル形成領域を有する半導体領域と、ゲート電極と、ゲート絶縁膜と、半導体領域とソース電極及びドレイン

電極とを接続するコンタクト部と、ゲート電極を覆う絶縁膜とを有し、前記チャネル形成領域と前記コンタクト部とは近接していることを特徴とする半導体素子である。

【0025】

また、本発明は、ソース領域、ドレイン領域、及びチャネル形成領域を有する半導体領域と、ゲート電極と、ゲート絶縁膜と、半導体領域とソース電極及びドレイン電極とを接続するコンタクト部と、ゲート電極を覆う絶縁膜とを有し、前記ゲート電極を覆う絶縁膜を介して前記ゲート電極と前記ソース電極及びドレイン電極とが形成されていることを特徴とする半導体素子である。

【0026】

前記ゲート電極を覆う絶縁膜は、前記ゲート電極上に形成される絶縁膜と、前記ゲート電極の側面に形成される絶縁膜である。前記ゲート電極上に形成される絶縁膜の代表例は、ハードマスクであり、前記ゲート電極の側面に形成される絶縁膜の代表例は、サイドウォールである。

【0027】

また、前記半導体領域は、半導体基板又は半導体薄膜である。半導体基板としては、半導体基板は単結晶シリコン基板または化合物半導体基板が挙げられる。また、半導体薄膜としては、結晶性シリコン膜が代表例として挙げられる。

【0028】

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照しながら説明する。但し、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は本実施の形態の記載内容に限定して解釈されるものではない。

【0029】

(実施の形態1)

図1は、半導体素子の代表例の一つであるTFETの作製工程を示す図である。これを用いて本実施の形態を説明する。

【0030】

図1 (A) に示すように、基板101上に、基板からの不純物をブロックするための下地膜102を形成する。この後、所望の形状を有する半導体膜で形成される半導体領域103を形成した後、ゲート絶縁膜となる第1の絶縁膜、ゲート電極となる第1の導電膜を成膜する。次に、第1の導電膜を所望の形状にエッチングして、ゲート電極105を形成する。このとき、第1の絶縁膜104も一部エッチングされ、膜厚が薄くなる。次に、基板全面に第2の絶縁膜106を成膜する。その後、ゲート電極をマスクとして半導体領域に不純物を添加して、不純物領域103を形成する。

【0031】

基板101には、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラス、アルミノシリケートガラスなどのガラス基板、石英基板、サファイア基板等の、500℃以上の耐熱性のある基板を用いる。半導体膜は、減圧熱CVD法、プラズマCVD法、スパッタ法等の公知手法で形成する。また、半導体膜は、半導体材料、例えば、シリコンまたはシリコンを主成分とする合金を用いることが可能である。ゲート電極は、単層構造でも多層構造でも良い。また、ゲート電極の材料は、タンタル (Ta)、タングステン (W)、チタン (Ti)、モリブデン (Mo)、アルミニウム (Al)、銅 (Cu)、クロム (Cr)、ネオジム (Nd) から選ばれる元素、またはこれらの元素を主成分とする合金材料若しくは化合物材料で形成する。また、銀—銅—パラジウム合金 (AgPdCu合金) を用いてもよい。

【0032】

次に、図1 (B) に示すように、第2の絶縁膜をエッチングする。この工程により、ゲート電極を覆う絶縁膜108を形成する。なお、ゲート電極を覆う絶縁膜108は、後に形成するソース電極及びドレイン電極とゲート電極とを絶縁するために形成する。よって、少なくとも、ゲート電極の側面を覆っていれば良い。

【0033】

第2の絶縁膜は、珪素を主成分とする絶縁膜を用いることができる。第2の絶

縁膜をリアクティブイオンエッチング法（以下、RIE法と示す。）、Electron Cyclotron Resonance法（以下、ECR法と示す。）等の異方性エッチングを行うことにより、サイドウォールを形成することができる。また、この工程に代わって、レジストマスクを形成し、第2の絶縁膜をエッチングしてゲート電極を覆う絶縁膜を形成してもよい。

【0034】

次に、ゲート電極105及びゲート電極を覆う絶縁膜108をマスクとして半導体領域にn型又はp型を有する不純物元素を添加して、高濃度不純物領域109と、低濃度不純物領域110と、チャネル形成領域111とを形成する。次に、低濃度不純物領域及び高濃度不純物領域に添加された不純物を活性化するため、加熱処理、強光の照射、またはレーザ光の照射を行う。次に、ソース領域及びドレイン領域上の第1の絶縁膜をウエットエッチング又はドライエッチングで除去して、ソース領域及びドレイン領域を露出し、コンタクト部を形成すると共に、ゲート絶縁膜107を形成する。なお、高濃度不純物領域109がソース領域及びドレイン領域となる。

【0035】

次に、基板全面に第2の導電膜112を成膜する。このとき、ゲート電極105が基板上で凸形状となっているため、第2の導電膜112も凸形状を有する。

【0036】

図1（B）において、第2の導電膜112は単層構造であるが、多層構造としてもよい。また、第2の導電膜112は、アルミニウム（Al）、チタン（Ti）、モリブデン（Mo）、タングステン（W）などから選ばれる元素、またはこれらの元素を主成分とする合金材料で形成する。

【0037】

次に、レジスト113を基板全面に塗布する。このとき、レジストの下地膜は凹凸を有しているがレジストを全面に塗布することにより、基板表面がほぼ平坦となる。また、ゲート電極上方に形成されたレジストは膜厚が薄く、それ以外の領域は膜厚が厚い。

【0038】

次に、図1 (C) に示すように、フォトマスクを用いずともレジストを露光及び現像してレジストマスク 114 を形成する。

【0039】

ここで、凹部に選択的にレジスト膜が残るようにするため、本発明で用いている露光方法について図5 を用いて説明する。

【0040】

図5 (A) は、凹凸を有する被処理物 20 の断面模式図である。図5 (A) において、基準面からの表面高さが凸状の部分を 21、凹状の部分を 22 とする。被処理物 20 はレジスト膜 23 で覆われている。

【0041】

領域 21 における被対象物 20 の表面からレジスト膜 23 の表面までの距離を b 、領域 22 における被処理物 20 の表面からレジスト膜 23 の表面までの距離を a とする。

【0042】

領域 21 の残膜率が 0%、領域 22 の残膜率が $y1 = (a - b) / a \times 100$ (%) 程度になるような露光条件で全面に露光する。露光にはレチクルなどの光学的なパターンを形成するためのマスクは必要なく、全面に光を照射して行う。従って、フォトマスクは必用ない。

【0043】

ここで、残膜率とは、 $\text{残膜率 (\%)} = \text{現像後のレジスト膜厚} / \text{塗布後のレジスト膜厚} \times 100$ で表される。この他、 $\text{露光量 [mJ/cm}^2\text{]} = \text{照射光強度 [mW/cm}^2\text{]} \times \text{露光時間 [msec]}$ で表され、残膜率が 0% となるときの露光量の下限値は E_{th} と表されることを記しておく。残膜率は、レジスト膜の膜厚、レジスト膜の下部にある膜の膜質、レジスト膜の塗布条件及び現像条件に強く依存して変わる。従って E_{th} もこれらの条件ごとに変わる。

【0044】

一般的に、 E_{th} はレジスト膜厚が厚くなる程、増大する傾向を示す（バルク効果ともいう。）。また、 E_{th} はレジスト膜の下部にある膜の反射率によっても変わり、反射率が大きい程、減少する傾向を示す。ポジレジスト膜の残膜率はレジ

ストが受け取った光のエネルギー量が多い程、つまり光量が多い程、減少する傾向を示す。露光の際、レジスト膜は露光装置から照射された照射光と、レジスト膜の下部にある膜で反射した反射光との両方の光を受け取るため、反射率が高い程、レジスト膜が受け取る光の光量が増え、 E_{th} は減少する傾向を示すのである。本発明では、 E_{th} のレジスト膜厚依存性を積極的に利用する。

【0045】

図5 (B) はレジスト膜厚の異なる二つの領域（領域21および領域22）における露光量と残膜率の関係を模式的に示したものである。領域22の方が領域21よりもレジスト膜厚が厚いため、領域22における E_{th} （以後、 $E_{th(A)}$ という）の方が領域21における E_{th} （以後、 $E_{th(B)}$ という）よりも大きい。領域22においては、残膜率を $y_1\%$ 以下としたいため、 $x_1 [mJ/cm^2]$ 以下の露光量で光を照射すればよい。また領域21においては残膜率を 0% としたいため、 $E_{th(B)}$ 以上の露光量で光を照射すればよい。従って、 $E_{th(B)} [mJ/cm^2]$ 以上 $x_1 [mJ/cm^2]$ 以下の露光量で光を照射すればよいことが分かる。

【0046】

従って、 $E_{th(A)}$ と $E_{th(B)}$ の差が大きい程、また x_1 と x_2 の差が大きい程露光条件のマージンが広がる。 $E_{th(A)}$ と $E_{th(B)}$ の差を大きくするには、領域22におけるレジスト膜厚 a と領域21におけるレジスト膜厚 b の差を大きくすればよい。さらに領域21におけるレジスト膜厚 b が極力小さくなるように塗布時のレジスト膜厚を調整しておくことで、 $E_{th(B)}$ はより小さくなり、領域21におけるレジスト膜を除去しやすくなる。このように、レジスト膜の膜厚を調整することで露光条件のマージンを十分確保できる。

【0047】

このように残膜率は露光量によって制御することが可能であり、全面照射をしても露光する対象の形状に応じてレジストの残膜率を調節することが可能である。なお露光量と残膜率の関係は、レジストの性質（粘度や含有されている溶剤や吸光剤の種類など）、レジストを塗布する対象物の形状や材料、塗布および現像の際のベーク条件などによって変わるため、加工する対象物ごとに予め露光量と残膜率の関係を調べておく必要がある。これらの作業は通常の写真リソグラフィ

ィにおける露光条件の条件出しと同様の要領で行えばよい。

【0048】

さらに、上記のようなポジ型のレジストを用いる以外に、ネガ型のレジストを用いて、開口部において形成された凹部を充填しても構わない。ネガ型のレジストを用いる場合は、特に露光処理は必要なく、現像時間または現像液の濃度を調整することで、凹部のみにレジスト膜が残るようにすればよい。なお、現像前に被処理物の下方部から熱を加え、レジスト膜の下方部のみに局所的に熱を加え、変質させることで、凹部に於いてレジスト膜が残り易くなるように制御できる。

【0049】

次に、図1 (D) に示すように、残留したレジスト 114 をマスクとして、ゲート電極上に形成された第2の導電膜をエッチングすることで、第2の導電膜 115 を分断する。

【0050】

次に、図1 (E) に示すように、絶縁された第2の導電膜 115 を所望の形状にエッチングして、他のTF Tと絶縁すると共に、ソース電極及びドレイン電極 116 を形成する。なお、この工程において、第2の導電膜 115 と共にソース領域及びドレイン領域をエッチングすることで、TF Tの面積を縮小することができる。次に、基板上に第3の絶縁膜を形成して層間絶縁膜 117 とする。次に、ソース電極及びドレイン電極 116 に接続するコンタクトホールを形成し、接続配線となる第3の導電膜を形成する。この後、第3の導電膜上に所望のパターンを有するレジストマスクを形成し、このマスクを用いて導電膜を所望のパターンにエッチングし、接続配線 118 を形成する。

【0051】

なお、本実施の形態において、図1 (B) において、基板全面に導電膜 112 を成膜する工程と、レジストマスク 113 を塗布する工程との間に、図1 (E) の工程（導電膜を所望の形状にエッチングして、他のTF Tと絶縁する工程。）を行ってもよい。

【0052】

本実施の形態により作製されるTF Tは、フォトマスクを用いずとも任意の形

状のレジストマスクを形成することができ、かつセルフアラインでソース電極及びドレイン電極を形成することができるため、微細構造の T F T においても、アライメントのずれによるゲート電極と、ソース電極及びドレイン電極との短絡を防ぐことが可能となり歩留まり高く、T F T を作製することができる。

【 0 0 5 3 】

また、ソース電極及びドレイン電極と半導体領域との接続を確実にするため、マージンを考慮して半導体領域の面積を広げる必要がないため、T F T の面積を縮小することができる。

【 0 0 5 4 】

さらに、本発明で形成された半導体素子は、ゲート電極とソース電極及びドレイン電極とは、ゲート電極を覆う絶縁膜 1 0 8 を介して形成されている。すなわち、ゲート電極の下に設けられたチャネル形成領域とソース電極及びドレイン電極とを近接することが可能であり、この結果これらの間の抵抗が低減する。よって、高速動作が可能な T F T を作製することができる。

【 0 0 5 5 】

なお、本実施の形態では、半導体素子の代表例として T F T を用いたが、シリコン基板又は S O I (Silicon On Insulator) 基板を用いて形成される F E T (M O S F E T) を適応することが可能である。

【 0 0 5 6 】

さらに、本発明の半導体素子を用いて、半導体装置を製造すると、基板単位面積あたりに搭載する半導体素子の数を増大させることが可能であり、集積度を高めた画素部の走査線駆動回路、信号線駆動回路、コントローラ、C P U、音声処理回路のコンバータ、電源回路、送受信回路、メモリ、音声処理回路のアンプ等の半導体装置を作製することができる。さらに、これらを同一の基板上に設けられたシステムオンチップやシステムパネルを作製することができる。

【 0 0 5 7 】

(実施の形態 2)

本実施の形態では、ソース電極及びドレイン電極を形成する為に用いられるレジストマスクの形成工程において、別の工程を用いる作製方法を述べる。なお、

実施の形態 1 と同じ部分は同じ符号を付して詳しい説明を省略する。

【0058】

まず、実施の形態 1 と同様にして図 2 (A) の状態を得る。具体的には、基板 101 上に、下地膜 102、高濃度不純物領域 109、低濃度不純物領域 110、及びチャネル領域 111 を有する半導体領域、ゲート絶縁膜 107、ゲート電極 105、少なくともゲート電極の側面を覆う絶縁膜 108 を形成する。

【0059】

次に、図 2 (B) に示すように、基板全面に導電膜 112 を成膜する。このとき、ゲート電極 105 が基板上で凸形状となっているため、導電膜 112 も凸形状を有する。

【0060】

次に、図 2 (C) に示すように、導電膜を所望の形状にエッチングし、TFT ごとに絶縁された導電膜 213 を形成する。

【0061】

次に、図 2 (D) に示すように、レジスト 214 を基板全面に塗布する。このとき、レジストの下地膜は凹凸を有しているがレジストを全面に塗布することにより、基板表面がほぼ平坦となる。

【0062】

次に、レジスト 214 の全面をエッチングする。このとき、ゲート電極上のレジストを除去することで導電膜 213 が露出される。また、ソース領域及びドレイン領域上方に形成されたレジスト 215 は、一部残留する。以上の工程により、フォトリソを用いずともレジストマスク 215 を形成することができる。

【0063】

次に、図 2 (E) に示すように、残留したレジスト 215 をマスクとして、第 2 の導電膜をエッチングし、ソース電極及びドレイン電極 216 を形成する。次に、基板上に層間絶縁膜 217 を形成する。次に、ソース電極及びドレイン電極 216 に接続するコンタクトホールを形成し、接続配線となる導電膜を形成する。この後、導電膜上に所望のパターンを有するレジストマスクを形成し、このマスクを用いて導電膜を所望のパターンにエッチングし、接続配線 218 を形成す

る。

【0064】

本実施の形態により作製される T F T は、フォトマスクを用いずとも任意の形状のレジストマスクを形成することができ、かつセルフアラインでソース電極及びドレイン電極を形成することができるため、微細構造の T F T においても、アライメントのずれによるゲート電極と、ソース電極及びドレイン電極との短絡を防ぐことが可能となり歩留まり高く、T F T を作製することができる。

【0065】

また、ソース電極及びドレイン電極と半導体領域との接続を確実にするため、マージンを考慮して半導体領域の面積を広げる必要がないため、T F T の面積を縮小することができる。

【0066】

さらに、本発明で形成された半導体素子は、ゲート電極とソース電極及びドレイン電極とは、ゲート電極を覆う絶縁膜 1 0 8 を介して形成されている。すなわち、チャネル領域とソース電極及びドレイン電極とを近接することが可能であり、この結果これらの間の抵抗が低減する。よって、高速動作が可能な T F T を作製することができる。

【0067】

なお、本実施の形態では、半導体素子の代表例として T F T を用いたが、シリコン基板を用いて形成される F E T (M O S F E T) を適応することが可能である。

【0068】

さらに、本発明の半導体素子を用いて、半導体装置を製造すると、基板単位面積あたりに搭載する半導体素子の数を増大させることが可能であり、集積度を高めた画素部の走査線駆動回路、信号線駆動回路、コントローラ、C P U、音声処理回路のコンバータ、電源回路、送受信回路、メモリ、音声処理回路のアンプ等の半導体装置を作製することができる。さらに、これらを同一の基板上に設けられたシステムオンチップやシステムパネルを作製することができる。

【0069】

【実施例】**(実施例 1)**

本実施例では、本発明を用いて、絶縁性を有する基板、本実施例ではガラス基板上に半導体素子を作製する工程を、図 3 及び図 4 を用いて説明する。

【0070】

図 3 (A) に示すように、ガラス基板 (第 1 の基板 601) 上に下地絶縁膜 602 を形成する。本実施例では、下地絶縁膜を 2 層構造とし、 SiH_4 、 NH_3 、及び N_2O を反応ガスとして成膜される第 1 の酸化窒化シリコン膜を 50 ~ 100 nm、 SiH_4 、及び N_2O を反応ガスとして成膜される第 2 の酸化窒化シリコン膜を 100 ~ 150 nm の厚さに積層形成する。

【0071】

次に、下地絶縁膜上に、プラズマ CVD 法や減圧 CVD 法、或いはスパッタリング法等の公知の手法により非晶質シリコン膜 (膜厚 54 nm) を積層形成する。

【0072】

次に特開平 8-78329 号公報に記載の公知技術によって非晶質シリコン膜を結晶化する。同公報記載の技術は、非晶質シリコン膜に対して結晶化を助長する金属元素を選択的に添加し、加熱処理を行う。この場合、結晶化は半導体の結晶化を助長する金属元素が接した非晶質シリコン膜の部分でシリサイドが形成され、それを核として結晶化が進行する。ここでは、脱水素化のための熱処理 (450℃、1 時間) の後、結晶化のための熱処理 (550℃ ~ 650℃ で 4 ~ 24 時間) を行う。

【0073】

この後、結晶性シリコン膜中から金属元素のゲッタリングを行い、結晶性シリコン膜中の金属元素を除去又は濃度を低減する。ゲッタリングの手法としては、結晶シリコン膜の一部にリン又は希ガス (代表的にはアルゴン) などを添加してゲッタリングサイトを形成した後、熱処理を行って金属元素を移動させる方法、若しくはリン又は希ガスなどを含有した非晶質シリコン膜又は結晶質シリコン膜を酸化膜を介して積層し、ゲッタリングサイトとして熱処理を行って金属元素を

ゲッタリングサイトに移動させる方法を用いれば良い。ゲッタリング後の結晶性シリコン膜の不純物金属元素濃度を $1 \times 10^{17} / \text{cm}^3$ 以下 (SIMS (二次イオン質量分析法) の測定限界以下) とすることが好ましく、より好ましくは ICP-MS (誘導結合高周波プラズマ分光質量分析法) により $5 \times 10^{16} / \text{cm}^3$ 以下とする。

【0074】

次いで、結晶化率 (膜の全体積における結晶成分の割合) を高め、結晶粒内に残される欠陥を補修するために、結晶性シリコン膜に対してレーザ光を照射することが好ましい。

【0075】

次に、結晶性シリコン膜をエッチングして、所望の形状を有する結晶性シリコン膜 603 を形成する。次に、シリコン膜の表面をフッ酸を含むエッチャントで洗浄した後、ゲート絶縁膜となるシリコンを主成分とする第 1 の絶縁膜 604 を形成する。次いで、第 1 の絶縁膜 604 表面を洗浄した後、第 1 の導電膜 605、第 2 の導電膜 606 及び第 2 の絶縁膜 607 (膜厚 500 ~ 1000 nm) を順次成膜する。本実施例では、第 1 の導電膜に窒化タンタル膜を、第 2 の導電膜にタングステン膜を、第 2 の絶縁膜に窒化酸化珪素膜を形成する。

【0076】

次に、図 3 (B) に示すように、第 2 の絶縁膜 604 を、ゲート電極幅程度にエッチングしてハードマスク 608 を形成する。この後、ハードマスク 608 を用いて、第 2 の導電膜 (タングステン膜)、第 1 の導電膜 (窒化タンタル膜) をエッチングして長さ $1 \mu\text{m}$ 程度のゲート電極 609 を形成する。このとき、ゲート絶縁膜となる第 1 の絶縁膜 604 も若干エッチングされる (604a)。

【0077】

次に、ハードマスク 608 及びゲート電極 609 をマスクとして、結晶性シリコン膜に n 型を付与する不純物元素 (P、As 等) 又は P 型を付与する不純物元素 (B 等) を添加し、不純物領域 603a、603b を形成する。ここでは、リン又はボロンを適宜添加する。

【0078】

次に、図3 (C) に示すように、第3の絶縁膜及び第4の絶縁膜を形成する。本実施例では、第3の絶縁膜に酸化窒化珪素膜610 (膜厚20~50 nm) を成膜し、第4の絶縁膜に窒化珪素膜611 (膜厚50~100 nm) を成膜する。なお、窒化珪素膜611は、後に形成する第5の絶縁膜のエッチングストッパーとして設けるため、第5の絶縁膜とエッチングレートの選択比を有する膜であることが好ましい。酸化窒化珪素膜610は、窒化珪素膜と結晶性シリコン膜とを分離するために設ける。これは、窒化珪素膜と結晶性シリコンが接することにより生じるTF Tの電気特性の劣化を防ぐためである。なお、後に形成する第5の絶縁膜のエッチング条件によっては、窒化珪素膜611及び酸化窒化珪素膜610を形成しなくともよい。

【0079】

次に、基板全面に第5の絶縁膜である酸化窒化珪素膜 (500~1000 nm) を形成したのち、RIE法、ECR法等により異方性エッチングし、サイドウォール612を形成する。なお、本実施例においては、ゲート電極の膜厚が薄いため、エッチング工程の負荷が少ない。また、ゲート電極の高さを低くすると、サイドウォールを制御良く形成できないが、本実施例では、ゲート電極609及びハードマスク608が積層され、これらの側面にサイドウォールが形成されている。よって、少ない負荷で制御良くサイドウォールを形成することができる。

【0080】

次に、図3 (D) に示すように、第4の絶縁膜 (窒化珪素膜) 611を異方性エッチングする。サイドウォールが形成されていない領域の窒化珪素膜611がエッチングされ、サイドウォールに覆われている窒化珪素膜611aのみ残る。

【0081】

次に、サイドウォール612及びエッチングされた窒化珪素膜611aをマスクとして、結晶性シリコン膜にn型を付与する不純物元素 (P、As等) 又はP型を付与する不純物元素 (B等) を添加し、高濃度不純物領域615を形成する。ここでは、リン又はボロンを適宜添加する。また、サイドウォール及び窒化珪素膜で覆われている結晶性シリコン膜の領域は、幅0.3 μ m程度の低濃度不純物領域613となる。さらに、ゲート電極及びハードマスクに覆われている結晶

性シリコン膜の領域は、チャンネル領域 614 となる。次に、添加した不純物元素を活性化するために加熱処理、強光の照射、またはレーザ光の照射を行う。

【0082】

次に、図示しないがゲート電極 609 と外部配線とを接続するため、ハードマスク 608 の一部をエッチングして、ゲート電極 609 と接続するコンタクト部を開口する。

【0083】

次に、基板全面をドライエッチングし、結晶性シリコン膜を覆う酸化窒化珪素膜 610 をエッチングして、ソース領域及びドレイン領域を露出して、コンタクト部 615 を形成する。このとき、サイドウォール 612 も一部エッチングされ、612a となる。

【0084】

次に、図 3 (E) に示すように、基板全面に第 3 の導電膜及び第 4 の導電膜を形成する。本実施例では、第 3 の導電膜として窒化タンタル膜 617 (膜厚 80 ~ 120 nm) を成膜したのち、第 4 の導電膜としてアルミニウム膜 618 (300 ~ 500 nm) を成膜する。

【0085】

次に、基板全面にレジストを塗布する。この後、実施の形態 1 で示したようにゲート電極上方にあるレジスト (凸部) のみのレジストが感光するような露光条件で露光を行い、その後現像する。このような条件により、ソース領域及びドレイン領域 615 上方 (凹部) にレジスト 620 が残る。この後、レジストの線幅を任意のものとするため、アッシングを行ってもよい (図 4 (A))。

【0086】

次に、図 4 (B) に示すように、レジストマスク 620 を用いて第 2 の導電膜 618 及び第 1 の導電膜 617 をウエットエッチング又はドライエッチングにより除去し、ゲート電極上で分断された導電膜 621 を形成する。

【0087】

次に、図 4 (C) に示すように、分断された導電膜 621 をエッチングして、ソース電極及びドレイン電極 622 を形成する。このエッチングの時に、結晶性

シリコン膜のソース領域及びドレイン領域 615 をエッチングすることで、より面積の小さい薄膜トランジスタを形成することができる。この結果、単位面積基板あたりにより多くの T F T を搭載することが可能であり、高集積化が可能である。

【0088】

次に、図 4 (D) に示すように、基板上に第 6 の絶縁膜を形成して層間絶縁膜 623 とする。本実施例では、層間絶縁膜として窒化酸化珪素膜を形成する。次に、ソース電極及びドレイン電極 622 に接続するコンタクトホールを形成し、その後接続配線となる第 5 の導電膜を形成する。この後、第 5 の導電膜上に所望のパターンを有するレジストマスクを形成し、このマスクを用いて導電膜を所望のパターンにエッチングし、接続配線 624 を形成する。

【0089】

なお、本実施例では、実施の形態 1 の作製工程を用いたが、実施の形態 2 の作製工程を適応することができる。

【0090】

本実施により作製される T F T は、フォトリソグラフィを用いずとも任意の形状のレジストマスクを形成することができ、かつセルフアラインでソース電極及びドレイン電極を形成することができるため、微細構造の T F T においても、アライメントのずれによるゲート電極と、ソース電極及びドレイン電極との短絡を防ぐことが可能となり歩留まりが高く、T F T を作製することができる。

【0091】

また、ソース電極及びドレイン電極と半導体領域との接続を確実にするため、マージンを考慮して半導体領域の面積を広げる必要がないため、T F T の面積を縮小することができる。

【0092】

さらに、本発明で形成された半導体素子は、ゲート電極とソース電極及びドレイン電極とは、ゲート電極を覆う絶縁膜 612 を介して形成されている。すなわち、ゲート電極の下に設けられたチャネル領域とソース電極及びドレイン電極とを近接することが可能であり、この結果これらの間の抵抗が低減する。よって、

高速動作が可能な T F T を作製することができる。

【0093】

本実施例により、画素部の走査線駆動回路、信号線駆動回路、コントローラ、C P U、音声処理回路のコンバータ等の半導体装置を作製することができる。また、システム（機能回路）を形成すると共に、公知の手法により液晶表示装置や E L（Electro Luminescence）表示装置を画素部に形成することで、小型で高画質な表示が可能なシステムオンパネルを作製することができる。

【0094】

（実施例 2）

本実施例では、本発明を用いて、半導体基板を用いて半導体素子を作製する工程を、図 6 を用いて説明する。なお、前記半導体基板は、単結晶シリコン基板または化合物半導体基板であり、代表的には、N 型または P 型の単結晶シリコン基板、G a A s 基板、I n P 基板、G a N 基板、S i C 基板、サファイヤ基板、又は Z n S e 基板である。

【0095】

図 6（A）に示すように、例えば単結晶シリコンからなる p 型の半導体基板 301 を用意し、その半導体基板に p 型のウエル 302 と n 型のウエル 303 を形成した後、半導体基板 301 の表面の選択的な領域を熱酸化して L O C O S（Local Oxidation of Silicon）構造の酸化シリコン膜からなる阻止分離用のフィールド絶縁膜 304 を形成する。

【0096】

次に、半導体基板 301 の表面を熱酸化して 50 nm 程度以下の薄膜の酸化シリコン膜（ゲート絶縁膜）305 を形成し、この酸化シリコン膜 305 の上に、C V D 法を用いて 300 nm 程度の膜厚の多結晶シリコン膜を堆積する。

【0097】

次に、半導体基板 301 の上に、ゲート電極を形成するためのハードマスクを形成するため、膜厚 50 nm 程度の酸化シリコン膜を C V D 法を用いて形成する。この後、酸化シリコン膜の上に、レジストを塗布した後、フォトリソを用いて露光及び現像を行ってゲート電極形状のレジストマスクを形成する。

【0098】

次に、レジストマスクを用いて、ドライエッチングにより酸化シリコン膜をエッチングしてハードマスク 306 を形成する。次に、レジストマスクを除去して、ハードマスクをエッチング用のマスクとして用いて、多結晶シリコン膜をエッチングしてゲート電極 307 を形成する。なお、多結晶シリコン膜は、ゲート絶縁膜の酸化シリコン膜よりもエッチングレートが高いため、選択的に多結晶シリコン膜のみをエッチングすることができる。なお、レジストマスクを除去せず、レジストマスクとハードマスクをエッチング用のマスクとして用いてゲート電極 307 を形成しても良い。

【0099】

次に、半導体基板 301 上に CVD 法により酸化シリコン膜を堆積した後、この酸化シリコン膜を RIE 法、ECR 法によりエッチングして酸化シリコン膜で形成されるサイドウォール 308 を形成する。

【0100】

次に、半導体基板 301 の上の p 型ウエル 302 に、例えばリンなどの n 型の不純物元素をイオン注入してソース及びドレインとなる n 型半導体領域 309 を形成する。また、半導体基板 301 の n 型ウエル 303 に、例えばホウ素などの p 型の不純物をイオン注入して、ソース及びドレインとなる p 型の半導体領域 310 を形成する。

【0101】

次に、図 6 (B) に示すように、ソース及びドレインとなる n 型の半導体領域 309 及び p 型の半導体領域 310 の上に形成されている酸化シリコン膜 305 を除去し、ゲート絶縁膜 311 を形成する。こののち、エッチバック法によりハードマスクをエッチングしてゲート電極を露出してもよい。

【0102】

次に、半導体基板 301 上にスパッタリング法によりチタン膜、タングステン膜、モリブデン膜、コバルト膜、ニッケル膜等の高融点金属膜、本実施例ではチタン膜 312 を形成した後、加熱して高融点金属膜がシリコン領域に接触している領域に、高融点金属珪素膜 313 を形成する。この後、スパッタリング法によ

り導電膜、例えばアルミニウム膜 314 を形成する。このとき、半導体基板上には、ゲート電極等が形成されているため、アルミニウム膜表面は、凸凹している。

【0103】

次に、半導体基板 301 にレジストを塗布する。このときのレジストは、ゲート電極上部では膜厚が薄く、それ以外の領域では比較的膜厚が厚い。次に、実施の形態 1 のようにレジスト全面を露光した後、現像してレジストマスク 315a、315b、315c を形成する。(図 6 (C))。

【0104】

次に、図 6 (D) に示すように、レジストマスク 315a、315b、315c をエッチングマスクとして、アルミニウム膜及びチタン膜をウエットエッチングして、ゲート電極上のアルミニウム膜及びチタン膜を除去し、分離されたアルミニウム膜及びチタン膜 316a、316b、316c を形成する。なお、ゲート電極 307 上にハードマスク 306 が形成されている場合、エッチングレート差から、ハードマスクがエッチングストッパーとなり、ゲート電極はエッチングされない。

【0105】

次に、各素子のソース電極及びドレイン電極 317、318 を形成する。次に、絶縁膜を形成した後、この膜を平坦化して層間絶縁膜 319 を形成する。この後、ソース電極及びドレイン電極 317、318 に接続するコンタクトホールを形成する。次に、接続配線となる導電膜を形成した後、導電膜上に所望のパターンを有するレジストマスクを形成し、このマスクを用いて導電膜を所望のパターンにエッチングし、接続配線 320、321 を形成する。本実施例では、導電膜としてアルミニウム膜を形成する。なお、層間絶縁膜 319 に、スピンコーティング法により形成する SiO_x 膜、PSG (リンシリケートガラス) 膜、BSG (ボロンシリケートガラス) 膜もしくは BPSG (ボロンリンシリケートガラス) 膜の SOG (Spin on Glass) 膜を用いると平坦化工程をしなくともよい。ただし、この場合、加熱工程が必須であるため、ソース電極及びドレイン電極 317、318 には、タングステン、チタン、モリブデン、コバルト、ニッケル等

の高融点金属膜を形成する。

【0106】

なお、本実施例では、実施の形態1の作製工程を用いたが、実施の形態2の作製工程を適応することができる。

【0107】

本実施の形態により作製されるMOSFETは、フォトリソを用いずとも任意の形状のレジストマスクを形成することができ、かつセルフアラインでソース電極及びドレイン電極を形成することができるため、微細構造のMOSFETにおいても、アライメントのずれによるゲート電極と、ソース電極及びドレイン電極との短絡を防ぐことが可能となり歩留まり高く、MOSFETを作製することができる。

【0108】

また、ソース電極及びドレイン電極と半導体領域との接続を確実にするため、マージンを考慮して半導体素子の間隔を広げる必要がないため、MOSFETの面積を縮小することができる。

【0109】

さらに、本発明で形成された半導体素子は、ゲート電極とソース電極及びドレイン電極とは、サイドウォール308を介して形成されている。すなわち、ゲート電極の下に設けられたソース電極及びドレイン電極とを近接することが可能であり、この結果これらの間の抵抗が低減する。よって、高速動作が可能なMOSFETを作製することができる。

【0110】

本実施例を用いることにより、集積度を高めた画素部の走査線駆動回路、信号線駆動回路、コントローラ、CPU、音声処理回路のコンバータ、電源回路、送受信回路、メモリ、音声処理回路のアンプ等の半導体装置を作製することができる。また、MPU（マイクロコンピュータ）、メモリ、I/Oインターフェースなどひとつのシステム（機能回路）を構成する回路がモノリシックに搭載され、高速化、高信頼性、低消費電力化が可能なシステムオンチップを形成することができる。

【0111】**(実施例3)**

実施の形態1～2により作製される代表的な半導体装置としてシステムオンチップの一実施例を図8を用いて説明する。図8に示すように、単結晶シリコン基板上に各種の機能回路部を集積してシステムオンチップを実現することができる。各種の機能回路部は実施の形態1又は2により作製されるMOSFETや容量部等の半導体素子を主体として形成することが可能である。なお、基板に絶縁性を有する基板(代表的には、ガラス基板)を用い、実施の形態1または2により作製されるTFTや容量素子等の半導体素子で本実施例のような半導体装置を形成することも可能である。

【0112】

図8で示すシステムオンチップ700の要素としては、CPU701、ROM702、割り込みコントローラ703、キャッシュメモリ704、RAM705、DMAC706、クロック発生回路707、シリアルインターフェース708、電源発生回路709、ADC/DAC710、タイマカウンタ711、WDT712、I/Oポート702などである。

【0113】

システムオンチップとしては、各種機能回路の構成や組み合わせを換えることで、MPU(マイクロコンピュータ)、メディアプロセッサ、グラフィクス用LSI、暗号LSI、メモリ、グラフィクス用LSI、携帯電話用LSIなど様々な機能の半導体装置を完成させることができる。

【0114】**【発明の効果】**

本発明により作製される半導体素子は、フォトリソを用いずともセルフアラインでソース電極及びドレイン電極を形成することができるため、微細構造においても、アライメント精度、縮小投影露光による加工技術の精度、レジストマスクの仕上り寸法、エッチング技術によるゲート電極と、ソース電極及びドレイン電極との短絡を防ぐことが可能となり、歩留まり高く、半導体素子を作製することができる。

【0115】

また、半導体素子のソース電極及びドレイン電極と半導体領域との接続を確実にするため、マージンを考慮して半導体領域の面積を広げる必要がないため、微細な半導体素子を形成することができると共に、半導体装置の集積度を高めることができる。

【0116】

さらに、本発明で形成された半導体素子は、ゲート電極とソース電極及びドレイン電極とは、ゲート電極を覆う絶縁膜を介して形成されている。すなわち、ゲート電極の下に形成されたチャンネル領域とソース電極及びドレイン電極とを近接することが可能であり、この結果これらの間の抵抗が低減する。よって、高速動作が可能な半導体素子及び半導体装置を作製することができる。

【図面の簡単な説明】

【図1】 本発明の半導体素子の作製工程を説明する図。

【図2】 本発明の半導体素子の作製工程を説明する図。

【図3】 本発明の半導体素子の作製工程を説明する図。

【図4】 本発明の半導体素子の作製工程を説明する図。

【図5】 本発明で用いる露光方法を説明する図。

【図6】 本発明の半導体素子の作製工程を説明する図。

【図7】 従来の半導体素子の作製工程を説明する図。

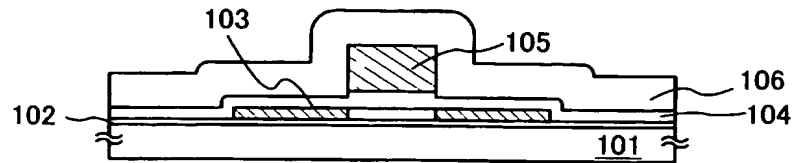
【図8】 本発明の半導体装置を説明する図。

【書類名】

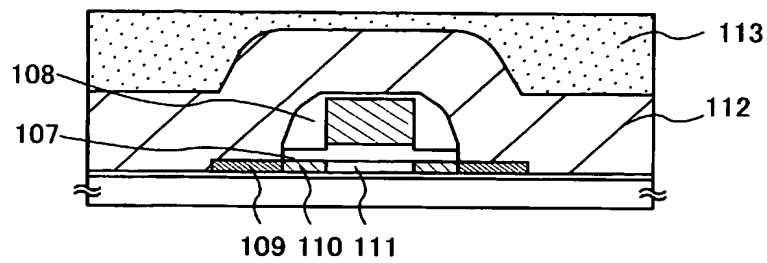
図面

【図 1】

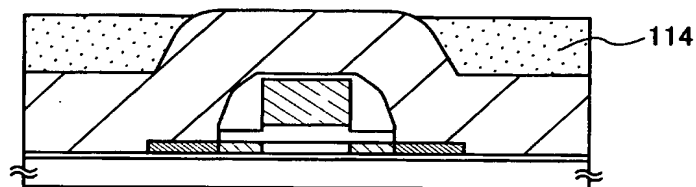
(A)



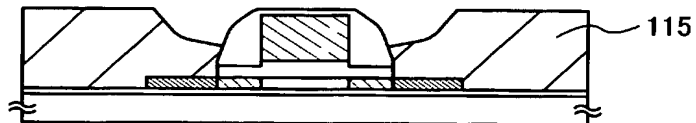
(B)



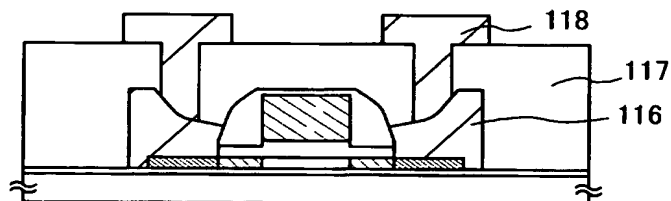
(C)



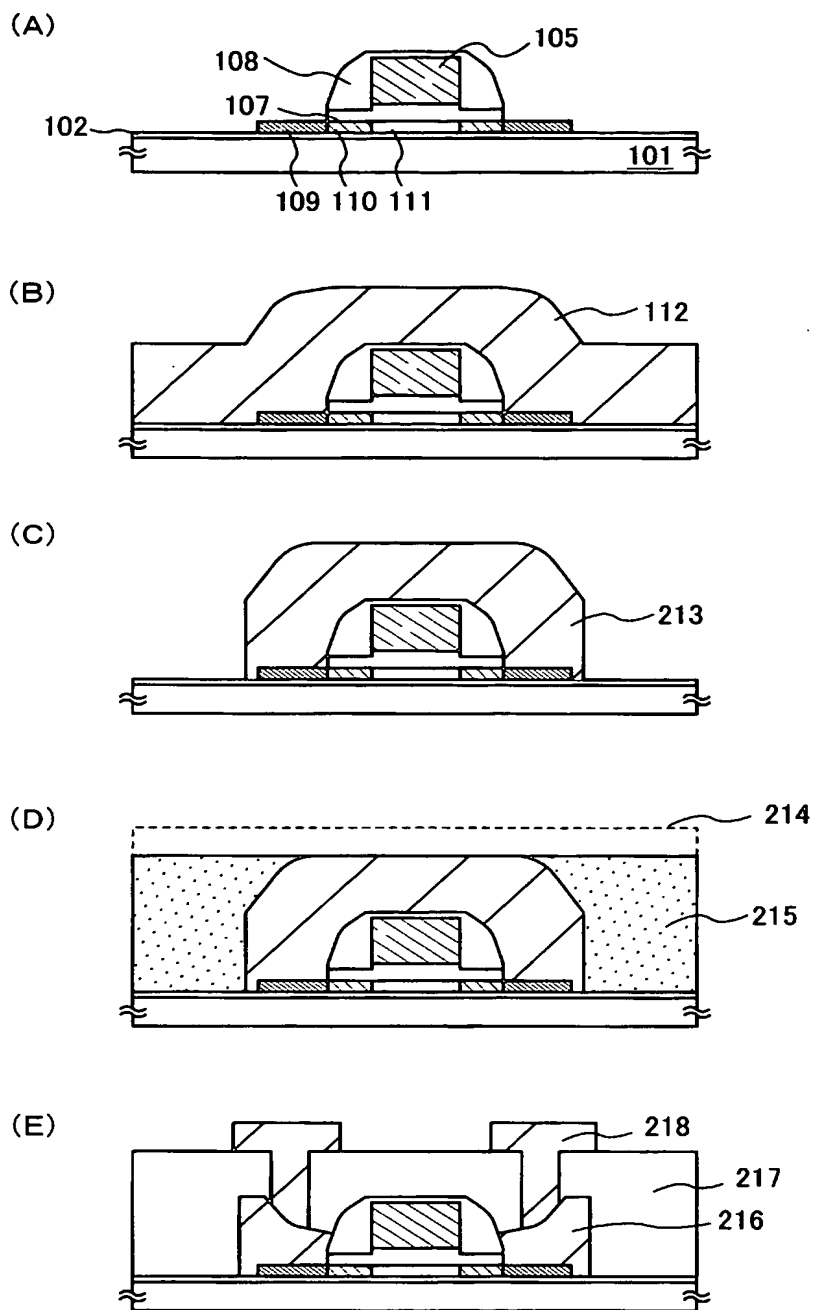
(D)



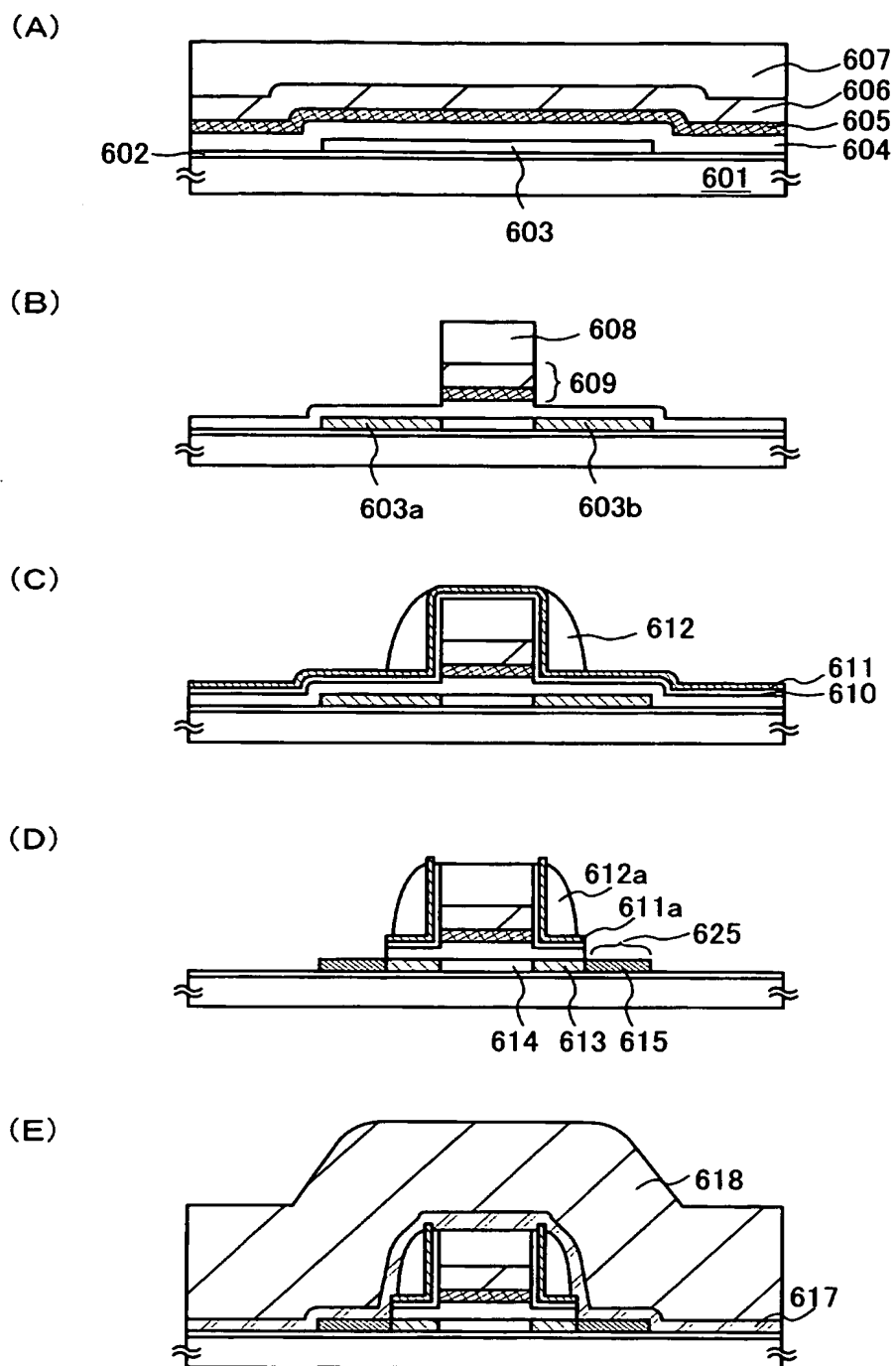
(E)



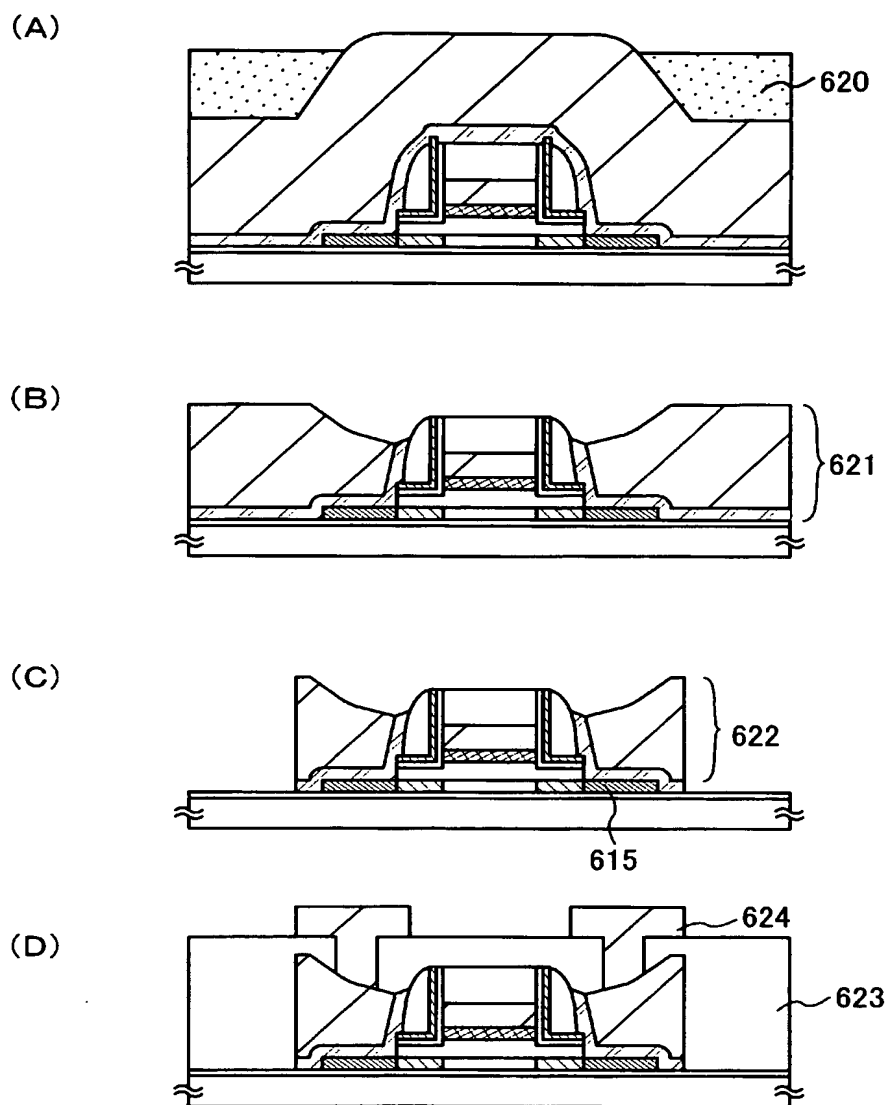
【図 2】



【図 3】

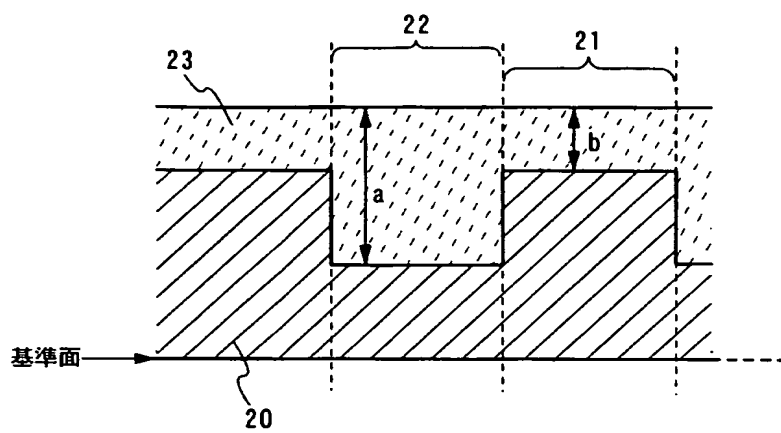


【図 4】

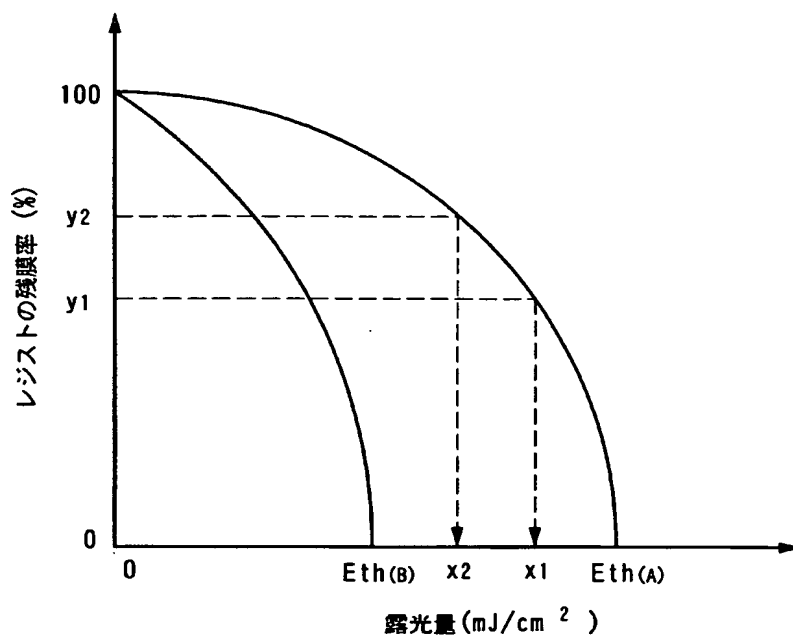


【図 5】

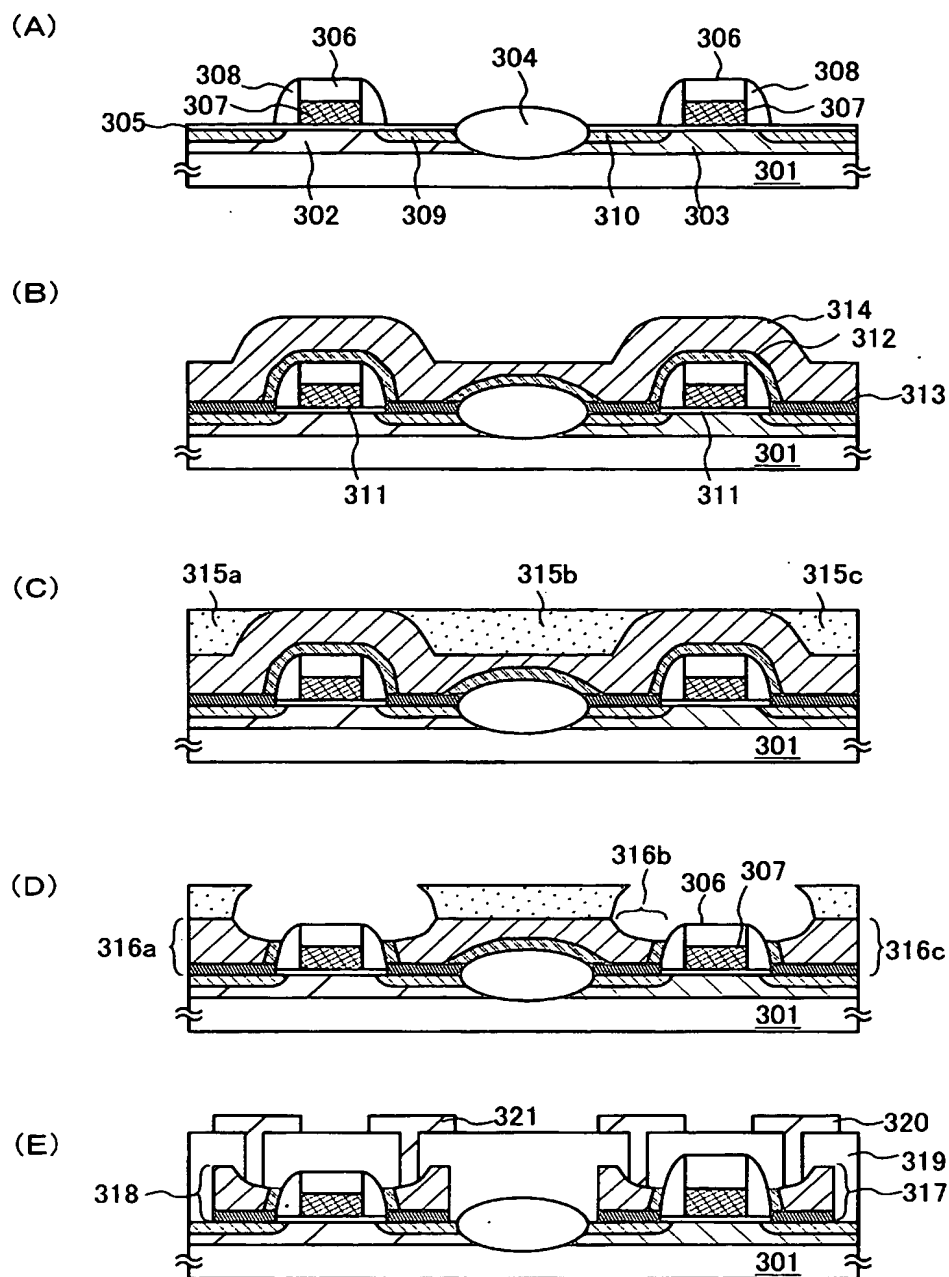
(A)



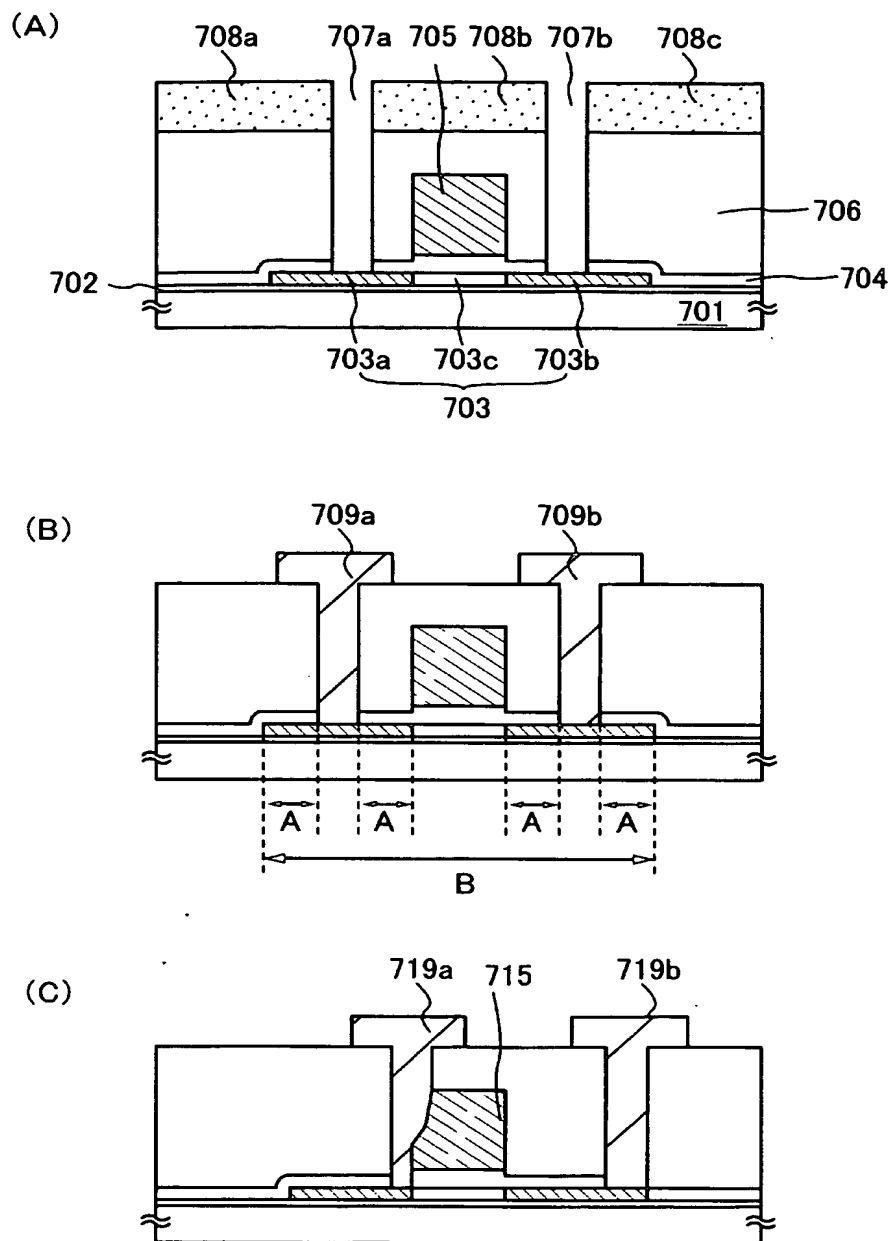
(B)



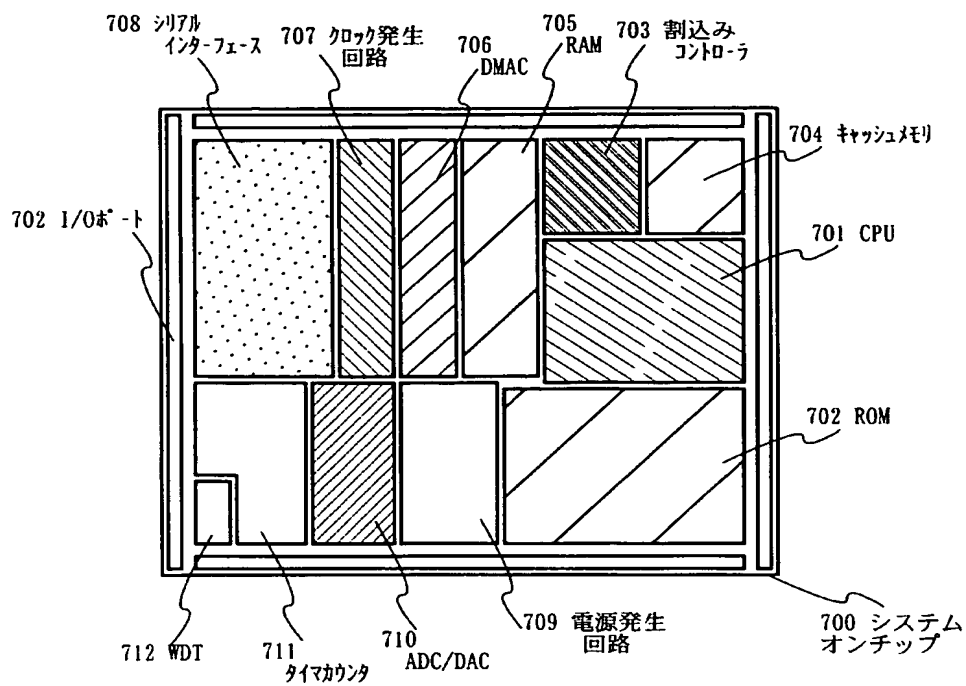
【図 6】



【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】

本発明では、アライメント精度、縮小投影露光による加工技術の精度、レジストマスクの仕上り寸法、エッチング技術等による歩留まりを克服し、微細構造の半導体素子、及び微細構造の半導体素子が高集積化された半導体装置を製造する方法を提供する。

【解決手段】

本発明は、微細な構造を有する半導体素子の作製方法において、ゲート電極を覆う絶縁膜を形成し、ソース領域及びドレイン領域を露出し、その上に導電膜を成膜し、該導電膜上にレジストを塗布して膜厚の異なるレジストを形成し、該レジストの全面を露光及び現像し、又は該レジストの全面をエッチングしてレジストマスクを形成し、該レジストマスクを用いて導電膜をエッチングしてソース電極及びドレイン電極を形成することを特徴とする。

【選択図】 図 1

特願 2 0 0 3 - 1 1 8 7 3 1

出 願 人 履 歴 情 報

識別番号 [0 0 0 1 5 3 8 7 8]

1. 変更年月日	1 9 9 0 年 8 月 1 7 日
[変更理由]	新規登録
住 所	神奈川県厚木市長谷 3 9 8 番地
氏 名	株式会社半導体エネルギー研究所